

# フェライト厚膜を用いた DC-DC コンバータ用 プレーンインダクタ\*

1

1

1

C- C C



福田 泰隆  
Yasutaka Fukuda  
技術研究所 鉄粉・磁性材研究部門 主任研究員(課長)・工博



館 義仁  
Yoshihito Tachi  
川鉄鉱業(株) 技術研究所 課長



溝口 徹彦  
Tetsuhiko Mizoguchi  
東芝マイクロエレクトロニクス(株) 部長



井上 哲夫  
Tetsuo Inoue  
(株)東芝 セミコンダクター社 主務・工博

谷田部 茂  
Shigeru Yatabe  
(株)東芝 セミコンダクター社 主務

## 1 はじめに

最近、小型携帯機器に搭載するための超小型 DC-DC コンバータの検討が精力的に進められている<sup>1-3)</sup>。このとき、小型化、特に低背化の鍵を握っているのがインダクタであり、従来の巻き線型フェライトインダクタにかわって、薄型化に優れるプレーンインダクタが期待されている。Sato ら<sup>4)</sup>は、電気めっきした厚膜銅コイルと FeCoBN 磁性膜を用いたプレーンインダクタを開発した。試作したインダクタは 7 MHz で  $Q = 15$  を示し、5 MHz でスイッチングする降圧型/昇圧型コンバータに搭載したところ、約 80% の効率を達成した。値は  $Q = 2\pi f L / R_{total}$  ( : 周波数, : インダクタンス,  $R_{total}$  : 全損失抵抗) と定義され、一般に品質係数と呼ばれている。全損失抵抗  $R_{total}$  は、導体の直流抵抗  $R_{dc}$ 、導体の交流抵抗  $R_{ac}$ 、磁性層の損失(鉄損)  $R_{mag}$  を加えたものである。したがって、大きなインダクタンス と小さな損失(抵抗)を実現すると大きな  $Q$  値が得られるため、プレーンインダクタにおいて、高  $Q$  値化は重要な課題である。Sato らによって開発されたプレーンインダクタの主な損失は、磁性膜に平行に入る磁束や、上下磁性膜間の垂直漏れ

1

Planar inductors with ferrite layers were fabricated by means of screen printing, photo-lithography and electroplating methods. Screen printing method enables to obtain coil spacing filled with ferrite. In this structure, since the perpendicular leakage magnetic flux preferentially passes through the coil spacing and bypass the copper coil, it is expected to decrease the eddy-current loss. Trial samples of planar inductor with ferrite layers achieved high quality factor

磁束が、導体と磁性膜を横切る時に発生する渦電流に起因すると説明されている<sup>4)</sup>。これらの渦電流損失を抑えるために、磁性膜の多層化・分割化や導体の分割化構造を提案し、その効果が実証されている。 $Q = 15$  はそれらの成果として得られたものである。Sugawara ら<sup>2)</sup>はパワー IC 上に、CoHfTaPd アモルファス磁性膜のプレーンインダクタを連続的に形成した薄膜インダクター体型 DC-DC コンバータを開発している。プレーンインダクタのインダクタンスと全損失抵抗  $R_{total}$  は、それぞれ 0.96  $\mu$ H, 4.2  $\Omega$  ( $Q = 4.3$ ) であり、3 MHz でスイッチングする降圧型コンバータにおいて約 80% の効率を達成している。以上の先進的な開発に対し、市場に出回っている厚み 1 mm 程度の伝統的なフェライト巻き線インダクタの  $Q$  値は 30 を超え、これを搭載した DC-DC コンバータは、90% 以上の効率で動作するのが一般的である。今後、プレーンインダクタを搭載した超小型 DC-DC コンバータの高効率化を進めるには、従来の報告例を超えた高  $Q$  値インダクタの実現が必須となる

\* 平成14年3月11日原稿受付



---

ら、導体と導体の間隔にはフェライトペーストが充填された、期待通りの構造を実現していることが分かった。面積は  $6000 \times 6000 \mu\text{m}$  で、基板を除いた厚みは  $200 \sim 300 \mu\text{m}$  となった。導体厚み  $50 \mu\text{m}$  と  $70 \mu\text{m}$  でのインダクタンス と 値の周波数との関係を 1. に示す(励磁電流  $0.5 \text{ mA}$ )。  $5 \text{ MHz}$  でのインダクタンスは  $1.4 \sim 1.5 \mu\text{H}$

解析結果を 1 にまとめた。磁性体の損失は測定値を用いている。解析モデルの正しいことは、インダクタンス、値ともに実験結果に近い値を再現していることから証明された。この結果によると、全損質抵抗  $R_{total}$  に対する導体の交流損失  $P_{ac}$  の割合は 2.4% と低く抑えられており、本論文で提案する新規構造プレーナインダクタが損失低減に有効なことが解析的に示された。さらなる高性能化を求めようとした場合、損失の大半を占めている導体の直流抵抗  $R_{dc}$  と磁性体の損失  $P_{mag}$  を小さくすることの有効性が、同じく Table 2 から明らかとなった。特に、大きな直流電流がバイアスさ

れた使い方をされる場合、導体直流抵抗  $R_{dc}$  を小さくすることが重要となる。

#### 4 まとめ

磁性層をスクリーン印刷法で形成した NiZn フェライト厚膜を用い、かつ、電気めっき法でスパイラルコイルを形成し、銅と磁性体直